

Patente

Land	Erteilungs-Nr.	Titel	Veröffentlichen der Erteilung
US	15/809,245	Field effect transistor arrangement	10.11.2017
EP	14739705.3	Field effect transistor arrangement	25.06.2014
DE	102013106729.8	Feldeffekttransistor-Anordnung	26.06.2013
DE	102 44 862	Verfahren zur Herstellung eines elektronischen Bauelemente mit einer Praseodymoxid-Schicht	14.09.2006
EP	0 875 931 B1	Verfahren zur Herstellung einer CMOS-Schaltungsanordnung	14.06.2006
DE	197 51 740 B4	Verfahren zur Herstellung einer integrierten Schaltung mit unterschiedlichen tiefen Isolationsgräben	10.03.2005
EP	0 998 757 B1	Integrierte Schaltungsanordnung und Verfahren zu deren Herstellung	01.12.2004
EP	0 800 215 B1	Integrierte Schaltungsstruktur mit mindestens einem MOS-Transistor und Verfahren zu deren Herstellung	02.06.2004
EP	0 652 594 B1	Integrierte Schaltungsanordnung mit Leistungsbauelement und Niederspannungsbauelement	02.01.2004
DE	199 45 433 C2	Verfahren zur Herstellung einer integrierten Halbleiterschaltung mit Speicher-und Logiktransistoren	28.03.2002
EP	0 764 982 B1	Verfahren zur Herstellung einer integrierten CMOS-Schaltung	12.12.2001
EP	0 812 010 B1	Verfahren zur Herstellung einer Halbleiterstruktur für einen MOS-Transistor	11.09.2002
EP	0 657 929 A2	Mosfets with improved short channel effects and method of making the same	14.06.1995
EP	0 616 361 B1	Formation of silicided junctions in deep sub-micron MOSFET by defect enhanced CoSi ₂ formation	12.07.2000
EP	0 543 223 B1	Method of forming shallow junctions infield efeck transistors	19.07.2000
US	5 913 115 A	METHOD FOR PRODUCING A CMOS CIRCUIT	15.06.1999
EP	0 838 088 B1	Verfahren zur Herstellung einer integrierten CMOS-Schaltung	31.10.2001
EP	0 864 172 B1	Verfahren zur Herstellung einer integrierten Schaltungs-anordnung mit mindestens einem MOS-Transistor	04.10.2001
EP	0 839 386 B1	Verfahren zue Herstellung eines MOS-Transistors	04.10.2000
EP	0 631 306 B1	Verfahren zutr Herstellung von einem Isolationsgraben in einem Substrat für Smart-Power-Technologien	26.04.2000
EP	0 645 808 B1	Verfahren zur Herstellung eines Isolationsgraben in einem SOI-Substrat	15.03.2000
DE	198 12 643 C1	Schaltungsstruktur mit einem MOS-Transistor und Verfahren zu deren Herstellung	08.07.1999
DE	195 35 629 C1	Verfahren zur Herstellung einer integrieterten CMOS-Schaltung	12.09.1996
US	005 882 964	PROCESS FOR THE PRODUCTION OF AN INTEGRATED CMOS CIRCUIT	16.03.1999
DE	197 34 728 C1	Integrierte Schaltungsanordnung mit mindestens zwei unterschiedlich dotierten Gebieten, die elektrisch miteinander verbunden sind, und Verfahren zu deren He	01.04.1999
US	5 882 965	PROCESS FOR MANUFACTURING AN INTEGRATED CMOS CIRCUIT	16.03.1999
DE	44 04 757 C2	Verfahren zur Herstellung eines einem Graben benachbarten Diffusionsgrbietes in einem Substrat	20.08.1998
DE	196 22 276 C2	Halbleiterstruktur für einen MOS-Transistor und Verfahren zur Herstellung der Halbleiterstruktur	09.07.1998
EP	0 631 305 B1	Verfahren zur Herstellung eines Isolationsgrabens in einem Substrat für Smart-Poewer-Technologien	15.04.1998
US	5 726 094	PROCESS FOR PRODCING A DIFFUSION REGION ADJACENT TO A RECESS IN A SUBSTRATE	10.03.1998
US	5 700 712	METHOD FOR MANUFACTURING AN INSULATING TRENCH IN AN SOI SUBSTRATE FOR SMART-POWER-TECHNOLOGIES	23.12.1997
DE	196 12 950 C1	Schaltungsstruktur mit mindestens einem MOS-Transistor und Verfahren zu deren Herstellung	31.07.1997
DE	195 44 721 C1	Verfahren zur Herstellung einer integrierten Schaltungsanordnung mit mindestens einem MOS-Transistor	30.04.1997
DE	43 41 171 C2	Verfahren zur Herstellung einde integrierten Schaltungsanordnung	17.04.1997
DE	43 27 132 C2	Dünnschichttransistor und Verfahren zu dessen Herstellung	23.01.1997
DE	195 25 069 C1	Verfahren zur Herstellung einer integrierten CMOS-Schaltung	24.10.1996
US	5 416 041	METHOD FOR PRODUCING AN INSULATING TRENCH IN AN SOI SUBSTRATE	16.05.1995
EP	0 482 232 B1	Verfahren zur Herstellung einer dotierten Polyzidschicht auf einem Halbleitersubstrat	05.06.1996
US	5 496 765	METHOD FOR MANUFACTURING AN INSULATING TRENCH IN A SUBSTRATE FOR SMART-POWER-TECHNOLOGIES	05.03.1996
US	5 473 181	INTEGRATED CIRCUIT ARRANGEMENT HAVING AT LEAST ONE POWER COMPONENT AND LOW-VOLTAGE COMPONENTS	05.12.1995
UD	5 528 053	THIN-FILM TRANSISTOR AND METHOD FOR THE MANUFACTURING THEREOF	18.06.1996
US	5 470 782	METHOD FOR MANUFACTURING AN INTEGRATED CIRCUIT ARRANGEMENT	28.11.1995
US	5 445 988	METHOD FOR MANUFAVTURING A TRENCH IN A SUBSTRATE FOR USE IN SMART-POWER TECHNOLOGY	29.08.1995
US	5 164 333	METHOD FOR MANUFACTURING A MULTI-LAYER GATE ELECTRODE FOR A MOS TRANSISTOR	17.11.1992
US	5780929-A	Deep submicron MOSFET with a silicided junction - has a silicon substrate with low-energy damage in its surface layers, a defect-enhanced cobalt silicide layer and a shallow silicided junction	

EP	849787-A1	Shallow trench isolation IC structure production - comprises forming and etching insulating layers for improving planarisation	
EP	875931-A1	CMOS circuit production - involves p-silicon selective epitaxy without masking n-silicon or insulating surfaces	
EP	875931	Method for the production of a CMOS circuit arrangement	
EP	870332	OFF-STATE GATE-OXIDE FIELD REDUCTION IN CMOS	
CN	1187032	Method for working integrated circuit wiring	
EP	864172	PROCESS FOR PRODUCING AN INTEGRATED CIRCUIT DEVICE WITH AT LEAST ONE MOS TRANSISTOR	
JP	10189709	MANUFACTURE OF INTEGRATED CIRCUIT DEVICE	
EP	838088	PROCESS FOR MANUFACTURING AN INTEGRATED CMOS CIRCUIT	
JP	10065170	SEMICONDUCTOR STRUCTURE FOR MOS TRANSISTOR AND ITS MANUFACTURE	
US	5726094	Process for producing a diffusion region adjacent to a recess in a substrate	
JP	10032256	CIRCUIT STRUCTURE PROVIDED WITH AT LEAST ONE MOS TRANSISTOR AND MANUFACTURE THEREOF	
US	5700712	Method for manufacturing an insulating trench in an SOI substrate for smartpower technologies	
EP	812010	Semiconductor structure for MOS transistor and method of manufacturing said structure	
EP	800215	Circuit structure with at least one MOS-transistor and method of fabrication	
DE	19612950	MOS transistor circuit structure	
WO	9720336	PROCESS FOR PRODUCING AN INTEGRATED CIRCUIT DEVICE WITH AT LEAST ONE MOS TRANSISTOR	
US	5602410	Off-state gate-oxide field reduction in CMOS	
US	5528053	Thin-film transistor and method for the manufacture thereof	
US	5496765	Method for manufacturing an insulating trench in a substrate for smart-power technologies	
US	5473181	Integrated circuit arrangement having at least one power component and low-voltage components	
US	5470782	Method for manufacturing an integrated circuit arrangement	
US	5445988	Method for manufacturing a trench in a substrate for use in smart-power technology	
US	5439831	Low junction leakage MOSFETs	
US	5416041	Method for producing an insulating trench in an SOI substrate	
US	5344793	Formation of silicided junctions in deep sub-micron MOSFETs by defect enhanced CoSi ₂ formation	
US	5268317	Method of forming shallow junctions in field effect transistors	
EP	657929	Mosfets with improved short channel effects and method of making the same.	
EP	656651	Process for the manufacturing of an integrated circuit device.	
EP	652594	Integrated circuit with power element and low voltage elements.	
EP	645808	Process for manufacturing an isolation trench in a SOI substrate.	
EP	635884	Method for forming a trench in a substrate and application to smart-power-technology.	
EP	631306	Process for manufacturing an isolation region in a substrate for smart-power-technology.	
EP	631305	Process for manufacturing an isolation region in a substrate for smart-power-technology.	
EP	616361	Formation of silicided junctions in deep sub-micron MOSFETs by defect enhanced CoSi ₂ formation.	
EP	543223	Method of forming shallow junctions in field effect transistors.	
EP	482232	Process for manufacturing a doped polycide layer on a semiconductor substrate.	
EP	463332	Manufacturing method of a multilayer gate electrode containing doped polysilicon and metal-silicide for a MOS-transistor.	
DE	19535629	Integrated CMOS switch prodn. eliminating lateral dopant diffusion between gate electrodes	
DE	19525069	Dual work function gate-type CMOS circuit prodn.	
DE	4327132	Thin-film transistor and method for production thereof	